

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335873
 (43)Date of publication of application : 17.12.1996

(51)Int.CI. H03K 19/096
 H03K 19/20

(21)Application number : 08-075510 (71)Applicant : AT & T IPM CORP
 (22)Date of filing : 29.03.1996 (72)Inventor : DICKINSON ALEXANDER GEORGE

(30)Priority

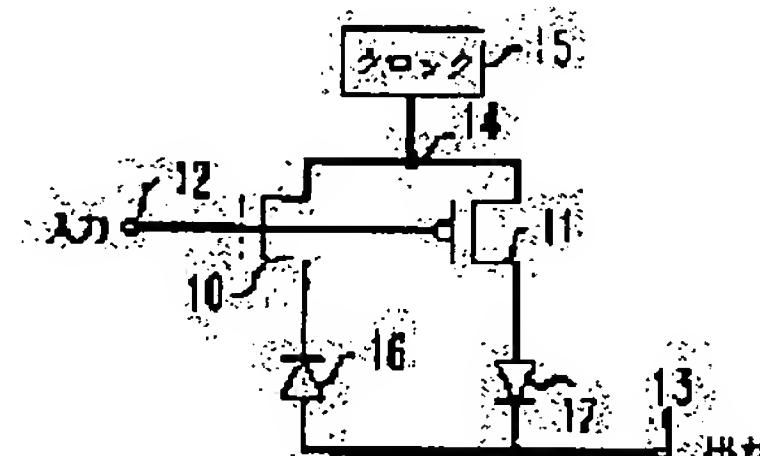
Priority number : 95 413658 Priority date : 30.03.1995 Priority country : US

(54) ADIABATIC LOGIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain the application of simple topology with low power consumption by providing a respective specified input, output and clock nodes and a passage between the clock node and the output node.

SOLUTION: An electronic circuit is provided with an input node 12 and an output node 13. The input node 12 carries a signal, which is to be changed between two potentials, through an adiabatic method with no practical loss of energy to be dispersed. The output node 13 carries the corresponding output signal through the similar adiabatic method. The characters of signals to be carried by the input and output nodes 12 and 13 represents two possible logic states, namely, levels. This electronic circuit has a clock node 14, connected to an energy source for preparing one clock signal at least between two potentials through an adiabatic method. In addition, the electronic circuit is provided with a means for letting a current to selectively flow between the clock node 14 and the output node 13 in order to selectively charge the output node 13 at the specified part of a clock signal, while reacting to the state of input signal.



LEGAL STATUS

[Date of request for examination].

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-335873

(43)公開日 平成8年(1996)12月17日

(51)Int.Cl.⁸
H 03 K 19/096
19/20

識別記号 庁内整理番号
9199-5K

F I
H 03 K 19/096
19/20

技術表示箇所
A

審査請求 未請求 請求項の数1 OL (全6頁)

(21)出願番号 特願平8-75510
(22)出願日 平成8年(1996)3月29日
(31)優先権主張番号 08/413658
(32)優先日 1995年3月30日
(33)優先権主張国 米国(US)

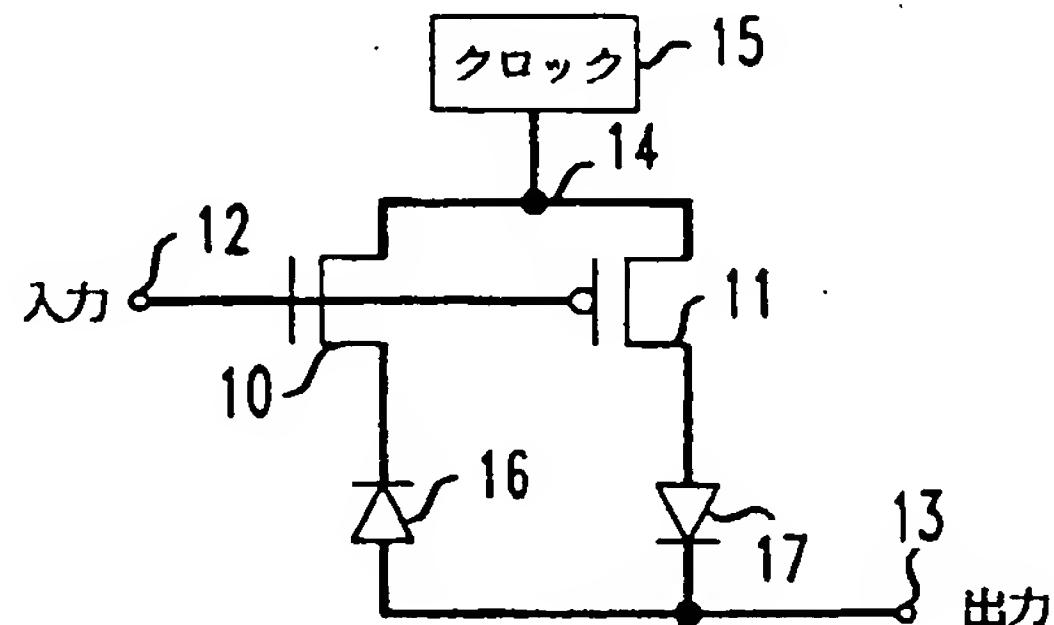
(71)出願人 595119464
エイ・ティ・アンド・ティ・アイビーエ
ム・コーポレーション
アメリカ合衆国, 33134 フロリダ, コー
ラル ゲーブルズ, ボンス ド レオン
ブルヴァード 2333
(72)発明者 アレキサンダー ジョージ デッキンソン
アメリカ合衆国 07753 ニュージャーシ
イ, ネブチーン, サード アヴェニュー
17
(74)代理人 弁理士 国部 正夫 (外10名)

(54)【発明の名称】 断熱性論理回路

(57)【要約】

【課題】 本発明は低消費で単純なトポロジーを持つ論
理回路に関する。

【解決手段】 静的な入力と出力を持つ、クロック制御
された低電力論理回路が断熱的に操作される。多様な論
理機能が複雑な回路や特殊に組み合わされたデバイスな
しに達成される。この論理回路は多様な論理・ストレー
ジ機能を行うように組み合わせ出来る。



【特許請求の範囲】

【請求項1】論理回路であって、

第1、第2入力論理レベルの間で変化する入力信号を受け取る入力ノードと、

第1、第2出力論理レベルの間で変化する出力信号を発生する出力ノードと、

第1、第2電位の間で断熱的に変化し、クロック信号が第1の電位から第2の電位に断熱的に変化する第1期間と、クロック信号が第2の電位から第1の電位に断熱的に変化する第2期間とを定義するクロック信号を受け取るクロック・ノードと、

入力信号が第1入力論理レベルにある時、出力信号が第2出力論理レベルに達するまで、出力信号が第1電位から第2電位へのクロック信号の変化を断熱的にたどることを許容し、出力信号は、入力信号が第1入力論理レベルにある限り、クロック信号のその後の変化に関わらず、第2出力論理レベルにある、クロック・ノードと出力ノードの間の第1の通路と、

入力信号が第2入力論理レベルにある時、出力信号が第1出力論理レベルに達するまで、出力信号が第2電位から第1電位へのクロック信号の変化を断熱的にたどることを許容し、出力信号は、入力信号が第2入力論理レベルにある限り、クロック信号のその後の変化に関わらず、第1出力論理レベルにある、クロック・ノードと出力ノードの間の第2の通路とを含む、論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路に関する。より詳細には、本発明は低電力消費で単純化なトポロジーを持つ論理回路に関する。

【0002】

【関連出願の相互参照】1993年5月28日出願の、「断熱性動的論理回路」という表題の、Alex G. Dickinsonの出願第08/069、926号。1993年5月28日出願の、「断熱性動的ノン・インバータ回路」という表題の、John S. Denkerの出願第08/069、944号。1993年5月28日出願の、「断熱性動的プリチャージ・ブースト回路」という表題の、John S. Denkerの出願第08/069、944号。1993年12月30日出願の、「多数出力能力を持つ、準静的抵抗性散逸のためのダイオード接合CMOS論理回路の設計」という表題の、Steven C. Avery、Alex G. Dickinson、Thaddeus J. Gabara、Alan H. Kramerの出願第08/175、709号。

【0003】

【従来の技術】静的・動的CMOS論理回路のような標準的な論理回路では、ノードは、ノードを第1の電位に充電し、第2の電位に放電するスイッチを使用する、完

全に不可逆的で散逸的な方法で充電・放電される。こうしたノードを、理論上漸次的、断熱的、可逆的にノードを充電・放電するスルーレート制限クロックに取り付けることが提案されてきた。

【0004】

【発明が解決しようとする課題】この技術を使用した論理回路は、現在余りにも複雑で、多くのトランジスタを使用するため、通常の動作速度では、各トランジスタの電力をどんなに節約しても、単純な論理動作を達成するために余りにも多くのトランジスタを使用するという事実の前に無意味になってしまう。さらに、先行する設計では、非断熱性伝達を完全に避けることは不可能である。従って、回路全体の総電力消費は、非断熱性回路によって消費される電力とそう変わらない。

【0005】

【課題を解決するための手段】上記で参照された特許出願は、消費電力が少なく、複雑さを低減した断熱性論理回路を開示し特許請求する。出願人は動的論理回路のある特性と、静的論理回路のある特性を持つ、新しい論理回路を追加して開発した。この論理回路は、参照された出願で開示され特許請求された動的論理回路に比べて電力の散逸と複雑さを低減している。この発明の個々の例では、論理回路は動的回路のようにクロック制御されるが、この回路の論理出力は静的で回路への入力が変化しない限り変化しない。インバータ機能、NAND機能、NOR機能、複合機能といった多様な論理機能は、本発明の特定の例に従って提供される。出願人は、シフト・レジスタやストレージ・エレメントが、本発明の原理に従っていかに提供されるかも論証する。

【0006】本発明の一例に従って、電子回路は入力ノードと出力ノードを含む。入力ノードは2つの電位の間で変化する信号を、断熱的な方法で、実質上散逸するエネルギーの損失なしに運ぶ。出力ノードは対応する出力信号を、同様の断熱的な方法で運ぶ。入力・出力ノードによって運ばれる信号の性質は、少なくとも2つの有り得る論理状態すなわちレベルを表すことである。本発明のこの例に従う電子回路は、2つの電位の間で断熱的な方法で、少なくとも1つのクロック信号を作り出すエネルギー源に接続されるクロック・ノードを持つ。電子回路はまた、入力信号の状態に反応して、クロック信号の既定の部分の間に選択的に出力ノードを充電するため、クロックノードと出力ノードの間に選択的に電流を流す手段を含む。この手段はまた、入力信号の状態に反応して、選択的に出力ノードの放電を防ぐために、出力ノードとクロック・ノードの間に選択的に電流が流れないようにする。入力信号は、電子回路の断熱的な性質を高めるために、クロック信号の周期のある時間、電位間の移行を禁止される。一連の論理回路のグループが、上記で説明された概念に基づいて開発された。

【0007】重大な量かそれ以上の電力消費の低減が先

行する論理回路に比較して達成された。本発明に従う論理回路を使用した断熱性コンピュータの使用は、電力の散逸が重要な用件である、電池を電源とする製品から高性能システムにいたる幅広い適用範囲で大きな衝撃を持つと期待される。

【0008】

【発明の実施の形態】図1は、本発明に従う論理ゲートの一例を示す。図1に示すゲートは、インバータであり、図1が、従来のCMOS回路で普通使用されるn型FET10と、p型FET11として示す、2つの制御スイッチの形態を持つ論理エレメントを含む。図1のインバータは、入力ノード12、出力ノード13、クロック・ノード14を持つ。FET10、11のゲートすなわち制御ターミナルは入力ノード12に接続される。図1の回路のクロック・ノード14は、クロック信号を発生するクロック信号発生器15に接続されるが、クロック信号の波形は図2の一番上の波形によって示される。入力ノードは、2つの有り得る入力論理レベルを示す2つの電位の中の1つを持つ入力信号を発生する信号源に接続される。入力論理レベルの間の移行は、2つの既定の電位レベルの間の移行を伴う。図2に示すように、入力信号は2つの論理レベルの間を、断熱的に、すなわち、図1の回路におけるエネルギーの散逸を最小限にする低減された電圧変化率で移行する。

【0009】特に、本発明における信号またはノードは、移行を発生する機器内で散逸するエネルギーが、2つの状態のエネルギーの差よりかなり小さい時、1つの状態から別の状態に断熱的な移行を行う。例えば、Cがノードに関連する有効静電容量で、Vがある論理状態から別の論理状態に移行するノードの結果として行われる電圧または電位の変化である時、1つの論理レベルと別の論理レベルの間のエネルギーの差が $1/2CV^2$ とすると、移行が行われることに関連して散逸するエネルギーが $1/4CV^2$ から $1/20CV^2$ 以下といった、 $1/2CV^2$ よりかなり低い値であるなら、ある論理レベルから別のレベルへの移行は断熱的である。

【0010】FET10、11の各々の1つの出力ターミナルは、上記で説明されたクロック信号源15に接続されるクロック・ノード14に接続される。図2に示すように、信号源15からのクロック信号は、2つの状態すなわち電位レベルの間で変化する。入力信号の変化と同様、クロック信号の変化は図1の回路におけるエネルギーの散逸を最小限にするために、断熱的な低減された変化率で起こる。

【0011】出力ノード13は、2つの有り得る出力論理レベルの1つを持つ出力信号を運ぶ。入力信号やクロック信号と同様、論理レベル間の出力信号の移行は、2つの既定の電位間の移行を伴う。出力論理レベル間の移行は、入力信号やクロック信号の移行に伴って起こったのと同様の、非散逸的で断熱的な方法で起こる。ダイオ

ード16は、図1に示すFET10の別の出力ターミナルと出力ノード13の間に接続される。別のダイオード17は、トランジスタ11の別の出力ターミナルと出力ノード13の間に接続される。図1は、FETである、制御スイッチ10、11を示すが、バイポーラ・トランジスタのようなあらゆる制御スイッチが、本発明によりインバータの機能を達成するための対応する回路の組み合わせにおいて使用可能である。

【0012】図2は、図1の論理ゲートの動作を示す時間ダイアグラムである。論理ゲートの入力ターミナルに現れる信号が、既定の大きさの実質上一定の電圧レベルすなわち電位である高いレベルにある時、論理ゲートの出力ターミナルに現れる信号は、既定の大きさの別の実質上一定の電圧レベルすなわち電位である、低いレベルにある。反対に、論理ゲートの入力ターミナルに現れる信号が低いレベルにある時、出力ターミナルに現れる信号は高いレベルにある。図2に示すように、入力信号が、参照番号18で示すように、低いレベルから高いレベルに変化する時、出力信号は、参照番号20で示すように、クロック信号の次の減衰する勾配19をたどって下向きに低いレベルに変化する。出力信号は、クロック信号レベルのその後の変化に関わらず、入力信号が高い限り、一定の（静的な）低いレベルにある。参照番号21で示すように、入力信号が高いレベルから低いレベルに変化すると、出力信号は、参照番号23で示すように、クロックを上向きにたどって、クロック・パルスの次の上昇する勾配22の上の高いレベルにいたる。出力信号は、クロック信号レベルのその後の変化に関わらず、入力信号が低いレベルにあり続ける限り、一定の（静的な）高いレベルにある。

【0013】図2は、図1の論理ゲートに適用される断熱性クロック信号の性質を示す。クロック信号は、既定の期間Tを持つ反復的な信号である。クロック信号は低いレベルから始まり、図2でAと記されている期間に徐々に増加して高いレベルにいたる。クロックは、その後、図2でBと記された一定期間高いレベルにとどまる。この期間はどんな既定の時間量でも良く、ゼロでも良い。クロック信号はその後、図2でCと記された期間に徐々に低いレベルに戻る。クロック信号は、図2でDと記された既定の期間低いレベルにとどまり、その後これまで説明したサイクルが繰り返される。ここでは台形状のクロック信号が示されたが、正弦波のような同様に形成された波形でも良い。正弦波の利点は、従来のLC発振回路によって容易に発生出来る点である。

【0014】図1に示すような論理回路は、図2に具体的に示す入力論理信号とクロック信号のようなスイッチ信号への反応を分析する際、単純な直列抵抗・コンデンサ（RC）回路によって模倣される。図1の回路に適用された入力信号がある電圧レベルから別の電圧レベルに急激に変化すると、電圧変化の直後、RC回路の直列抵

抗越しに、電圧の急上昇が現れる。この電圧の急上昇は、RC回路の直列コンデンサが充電または放電するために時間を経て徐々に低下する。抵抗にかかる電圧のため、電力は、電圧急上昇の間、この抵抗で不可逆的に散逸する。図1の回路の信号が、コンデンサにかかる電圧がスイッチ電圧の変化をそのままとどれる程度にスルーレートを制限出来るなら、抵抗を通じての電力の散逸は最小限に出来る。従って、入力信号やクロック信号のような図1の回路の信号の傾斜は低減され、図1の回路は断熱的な方法で動作する。より詳細には、傾斜は充分に漸次的なので、図1の回路に関連するコンデンサは、変化する電圧信号と実質上順応して充・放電出来る。例えば、クロックまたは他の変化する信号が低い状態から高い状態に達する、またその逆の時間（「ランプ・タイム」）は、これまで言及されたRC回路の時定数より大きく出来る。本発明の1つの特定の例では、ランプ・タイムは時定数の少なくとも10倍である。このことは、変化する信号に接続された充・放電路にある抵抗にかかる電圧が最小であることを意味する。このことはまた、変化する信号の動作によって発生する充電、放電の間のエネルギーの散逸が最小であることを意味する。このことは、図1の回路の入力、出力ノードの状態の移行が断熱的であること、すなわち、機器の中で不可逆的に散逸されるエネルギーは、実質上2つの状態の間のエネルギーの差以下であることを保証する。

【0015】図1に示すインバータ・ゲートのような論理回路の非断熱的な性質を保存するために、入力信号は実質上、ある状態から別の状態に突然移行することを禁止される。入力信号はまた、図1のクロック信号の既定の一部分の間、いかなる状態変化も禁止される。例えば、入力信号がある論理状態すなわちレベルから、別の論理状態すなわちレベルに移行させられるのは、入力が高い状態から低い状態に移行する場合クロック信号が高い時（例えば期間D）のみであり、入力が高い状態から高い状態に移行する場合クロック信号が高い時（例えば期間B）のみである。最も詳細には、本発明に従う回路の信号は、実質上スイッチにかかる電圧がある時はスイッチが閉じず、実質上スイッチを流れる電流がある時はスイッチが開かないようにしか、ある電位から別の電位への変化を許されない。この規則が遵守されれば、場合によっては、回路の動作の断熱的な性質を保つためにある信号の変化率を大きく制限する必要はない。例えば、図1のFET10、11のような制御スイッチへの入力信号が、これらの制御スイッチの出力ターミナルにかかる電圧がない時のみ状態変化させられるならば、断熱的な動作を得るためにには、これらの入力信号の変化率を大きく制限する必要はない。

【0016】図3は、本発明の原理に従って構成された代表的なNANDゲートを示す。NANDゲートは、クロック・ノード26と出力ノード27の間にダイオード

10

20

30

40

50

26と直列に接続されたn型FET24、25の形態を取る2つの直列に接続された制御スイッチを含む。図3の回路はまた、並列に接続された2つのp型FET27、28の組み合わせを含む。FET27、28の並列の組み合わせは、クロック・ノード26と出力ノード27の間にダイオード29と直列に接続される。クロック・ノード26は、上記で説明したように、信号源15と接続される。図3の回路は、図3に示すように、FET24、25、27、28の制御ターミナルに接続された対応する入力ノード30、31に向けられた2つの入力信号A、BのNAND操作を行う。論理操作の結果は出力ターミナル27に現れる。2つの入力信号A、Bより多くのNAND操作を行うことの出来るゲートは、追加の制御スイッチを供給することによって構成出来る。NAND操作に含まれる各入力は、対応する入力ノードと、各制御スイッチの対応する制御ターミナルに向けられる。図4のNANDゲートはFETを含むように示されるが、NPN、PNPバイポーラ・トランジスタなどを含む、他の制御スイッチも使用可能である。

【0017】図4は、本発明の原理に従って構成された、代表的なNORゲートを示す。図5のNORゲートは、ダイオード35と直列に接続された1組のn型FET33、34のような、並列に接続された1組の制御スイッチを含む。このスイッチとダイオードの組み合わせは、クロック・ノード36と出力ノード37の間に接続される。p型FET40、p型FET41、ダイオード42の直列の組み合わせもまた、クロック・ノード36と出力ノード37の間に接続される。図1、3の回路のクロック信号と同様のクロック信号が、図4のクロック36ノードに向けられる。図4の回路は、図4のNORゲートの対応する入力ノード38、39に向けられた、2つの入力信号A、Bの論理NORである、ノード37の出力信号を発生する。図4のNORゲートはスイッチ・デバイスとしてFETを使用しているが、FET33、34、40、41の代わりに、NPN、PNPバイポーラ・トランジスタ等を含む他の種類の制御スイッチを使用したNORゲートも使用可能である。

【0018】図5は、入力信号A、B、Cの組み合わせの複合論理操作を行う、本発明に従う断熱性論理回路を示す。図5の回路は、n型FET45と並列の、2つの直列に接続されたn型FET43、44を含む。ダイオード46が、この3つのFETの組み合わせと直列に接続されている。3つのFET43～45とダイオード40は、クロック・ノード47と出力ノード48の間に接続されている。さらに、図5の回路は、p型FET51と直列の、2つの並列に接続されたp型FET49、50を含む。3つのFET49～51は、クロック・ノード47と出力ノード48の間に、ダイオード52と直列に接続されている。クロック信号はクロック・ノード47に向けられる。クロック信号は、上記で説明した他の

論理回路のクロック・ノードに向けられたクロック信号と同様である。図5の回路は、図5のデバイスの入力ノードに適用される入力信号A、B、Cの論理関数A・B+Cである、出力ノード48の出力信号を発生する。図5に示すFETの代わりに、他の制御スイッチも使用可能である。

【0019】図6は、これまで説明した断熱性論理ビルディング・ブロックを使用した論理回路の一例を示す。図6の回路は、シフト・レジスタとして機能する直列の4つのインバータ・ステージ53、54、55、56を含む。ステージ53は図6で詳細に示され、図1に示すインバータと同様のインバータである。このインバータは、n型FET58とp型FET59の制御ターミナルに接続された入力ノード57を含む。ダイオード61が、FET58の1つの出力ターミナルを、インバータ53の出力ノード60に接続する。FET58の別の接続ターミナルはクロック・ノード62に接続される。クロック・ノード62は、図1の回路のクロック信号と同様のクロック信号 Φ_0 を発生するエネルギー源に接続される。クロック信号は、図7に示す一番上の波形 Φ_0 として表される。ダイオード63はFET59の1つの出力ターミナルを出力ノード60に接続する。FET59の別の出力ターミナルはクロック・ノード62に接続される。

【0020】各インバータ54、55、56はインバータ53と同一である。インバータ53の出力ノード60はインバータ54の入力ノードに接続される。インバータ54の出力ノードはインバータ55入力ノードに接続され、インバータ55の出力ノードはインバータ56の入力ノードに接続され、インバータ56の出力ノードは図6のシフト・レジスタの出力64に接続される。

【0021】クロック・ノード65は、インバータ54のFETの出力ターミナルに接続され、エネルギー源によって発生されるクロック信号 Φ_1 を受け取る。クロック信号 Φ_1 は、図7に示すインバータ53のクロック信号 Φ_0 と同様で、特に図7で、 Φ_1 と記された上から2番目の波形として示される。本発明のこの例のクロック信号 Φ_1 は、クロック信号 Φ_0 に関して、クロック周期の3/4だけ遅れている。図7に示すクロック信号 Φ_2 は、インバータ55のクロック・ノード66に向けられている。クロック信号 Φ_2 は、クロック信号 Φ_1 に関して、クロック周期の3/4だけ遅れている。(従って、クロック信号 Φ_2 は、クロック信号 Φ_0 の逆相になる。)クロック信号 Φ_3 は、インバータ56のクロック・ノード68に向けられる。クロック信号 Φ_3 の詳細は、図7の一番下の波形として示される。クロック信号 Φ_3 は、クロック信号 Φ_2 に関して、クロック周期の3

/4だけ遅れている。図7では接続されていないように示されているが、出力64は、インバータ53の入力ノード57に安全に接続出来ることが指摘されるべきである。

【0022】図8は、本発明によるストレージ・エレメントを示す。ストレージ・エレメントは、図1に示すような2つのインバータを含む。インバータはどちらも、図1に示すクロック信号発生器15のようなクロック信号発生器によって発生される共通のクロック信号に接続される。n型FET Q1、p型FET Q2、ダイオードD1、ダイオードD2を含むインバータの出力ノードは、n型FET Q3、p型FET Q4、ダイオードD3、ダイオードD4を含むインバータの入力ノードに接続される。Q3、Q4、D3、D4インバータの出力ノードは、Q1、Q2、D1、D2インバータの入力ノードにフィード・バックされる。

【0023】場合によっては、その逆相の論理レベルが有効で使用可能であると同時に、有効で使用可能である所与の論理レベルを持つことが望ましい。これは、図9に示すような、本発明の原理に従うノン・インバータ回路によって達成出来る。図9のノン・インバータは、それぞれ図1、図2に示すインバータと同様の2つの直列に接続されたインバータ69、70を含む。インバータ69、70はどちらも、図1、図2のクロック信号発生器15と同様の共通のクロックに接続される。インバータ70の出力はインバータ69の入力が反転されないものである。上記で説明した本発明の全ての例において、論理回路は単純で電力の散逸を大きく低減している。

【図面の簡単な説明】

【図1】本発明に従う断熱性インバータの一例の概要図である。

【図2】図1のインバータに関する入力、出力、クロック電圧を示す時間ダイアグラムである。

【図3】本発明による断熱性NANDゲートの概要図である。

【図4】本発明による断熱性NORゲートの概要図である。

【図5】本発明による断熱性NAND/NORゲートの概要図である。

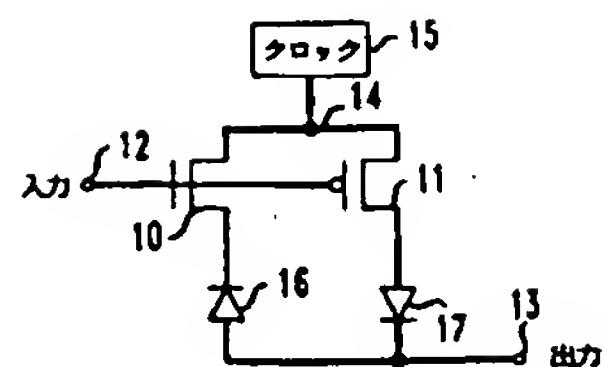
【図6】本発明による多ステージ断熱性論理回路の概要図である。

【図7】図6に示す多ステージ論理回路のクロック電圧を示す時間ダイアグラムである。

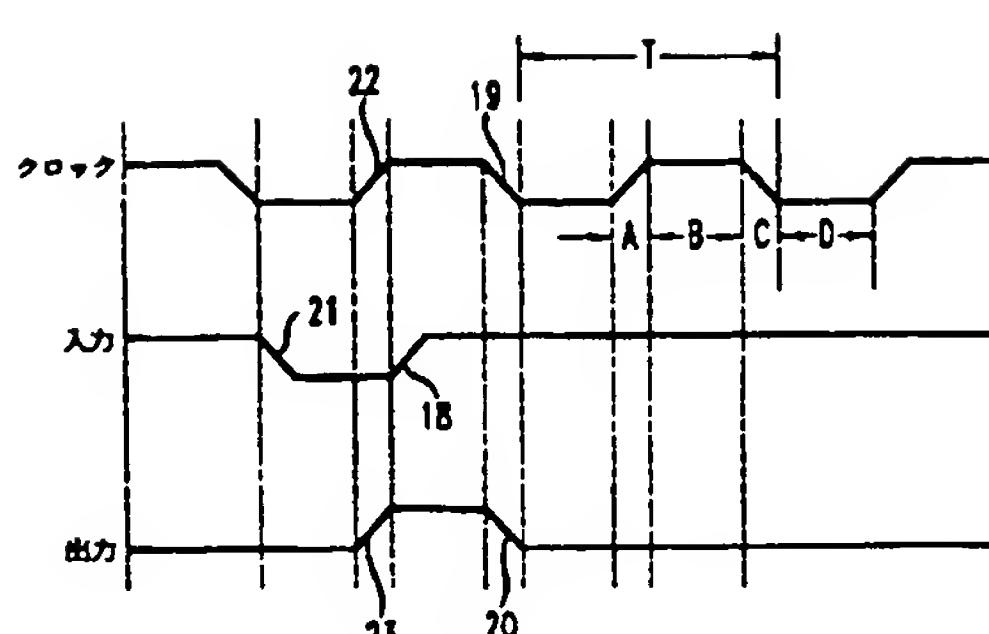
【図8】本発明によるストレージ・エレメントの概要図である。

【図9】本発明によるノン・インバータの概要図である。

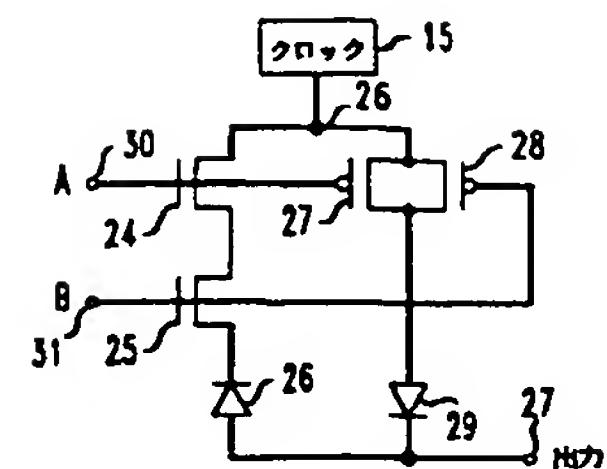
【図1】



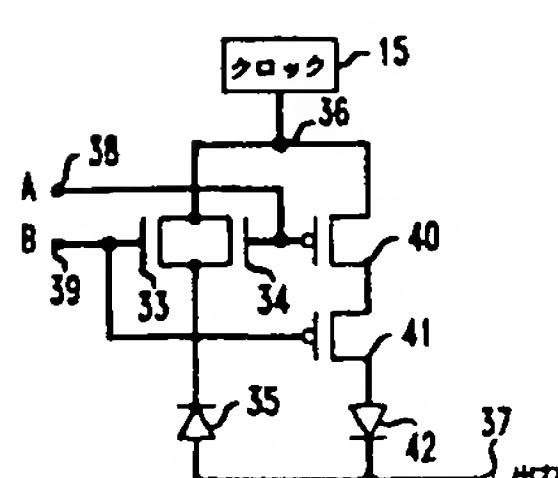
【図2】



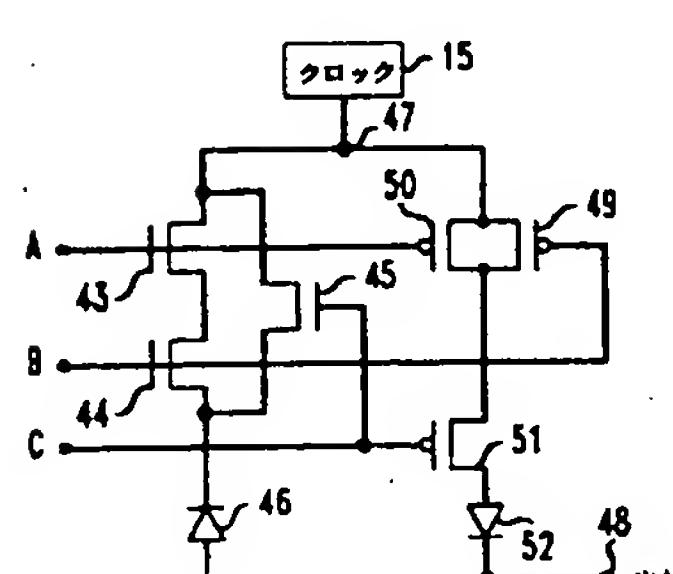
【図3】



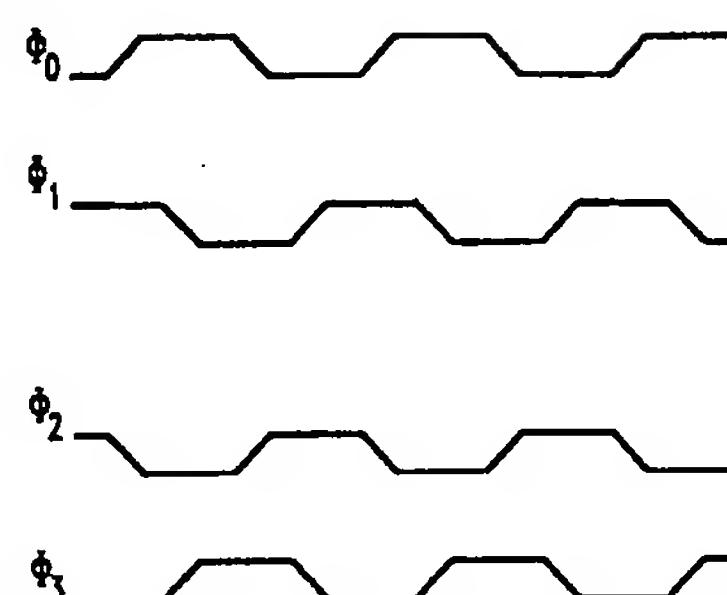
【図4】



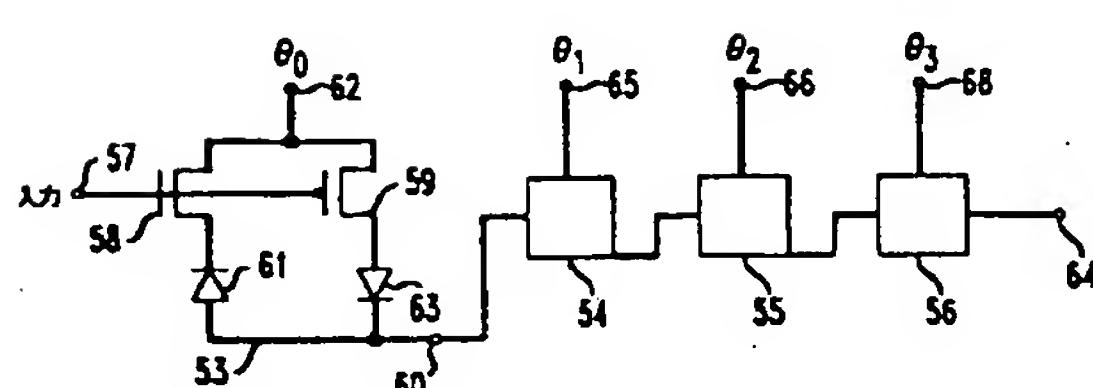
【図5】



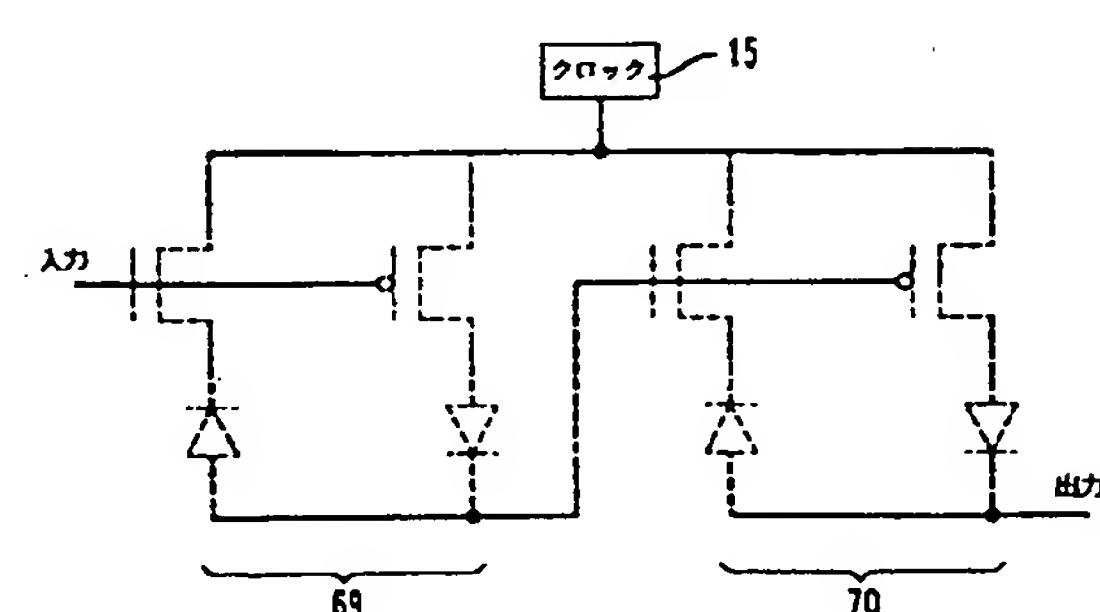
【図7】



【図6】



【図9】



【図8】

